

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-093348

(43)Date of publication of application : 10.04.1998

(51)Int.Cl.

H03B 7/06

(21)Application number : 08-242973

(71)Applicant : DENSO CORP

(22)Date of filing : 13.09.1996

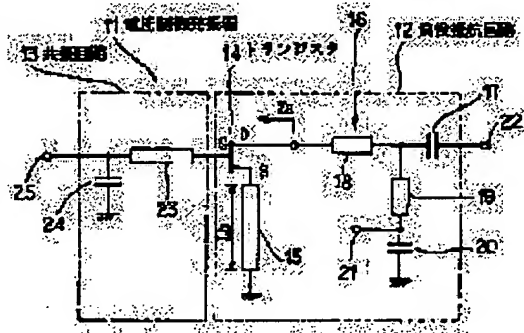
(72)Inventor : MATSUGAYA KAZUOKI
SAWADA MANABU

(54) VOLTAGE CONTROLLED OSCILLATOR

(57)Abstract:

PROBLEM TO BE SOLVED: To obtain the circuit configuration with ease of MMIC and to provide linearity between a DC bias voltage and an oscillation frequency.

SOLUTION: The voltage controlled oscillator 11 is provided with a negative resistance circuit 12 consisting of an HEMT 14 and of a feedback circuit applying positive feedback to the HEMT 14 and with a resonance circuit 13 connecting to the negative resistance circuit 12, and the oscillation frequency is variably controlled by varying a DC bias voltage fed to the HEMT 14. In this case, a feedback amount of the feedback circuit is shifted from a point where an absolute resistance of the negative resistor is maximized when viewing the HEMT 14 from an output terminal of the HEMT 14 thereby reducing the negative resistance. Through the constitution above, the DC bias voltage and the oscillation frequency have a linearity.



LEGAL STATUS

[Date of request for examination] 20.11.2002

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 3610692

[Date of registration] 29.10.2004

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

BEST AVAILABLE COPY

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号 ✓

特開平10-93348

(43) 公開日 平成10年(1998) 4月10日

(51) Int.Cl.⁶

H03B 7/06

識別記号

FI

H03B 7/06

審査請求 未請求 請求項の数10 OL (全 12 頁)

(21) 出願番号 特願平8-242973

(22) 出願日 平成8年(1996) 9月13日

(71) 出願人 000004260

株式会社デンソー

愛知県刈谷市昭和町1丁目1番地

(72) 発明者 松ヶ谷 和沖

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

(72) 発明者 澤田 学

愛知県刈谷市昭和町1丁目1番地 日本電
装株式会社内

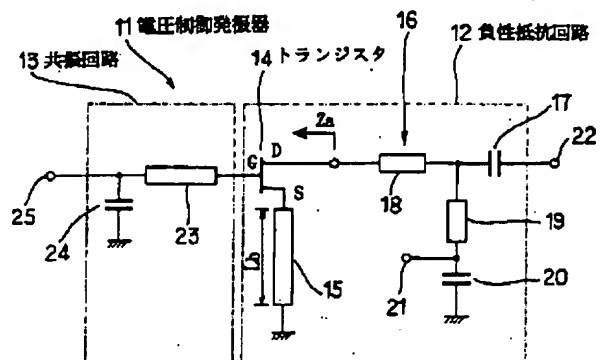
(74) 代理人 弁理士 佐藤 強

(54) 【発明の名称】 電圧制御発振器

(57) 【要約】

【課題】 MMIC化することが容易に可能な回路構成にすると共に、直流バイアス電圧と発振周波数とが線形性を有するように構成する。

【解決手段】 本発明の電圧制御発振器11は、HEMT14及びこのHEMT14に正帰還を加える帰還回路からなる負性抵抗回路12と、この負性抵抗回路12に接続された共振回路13とを備え、HEMT14に加える直流バイアス電圧を可変することにより発振周波数を可変制御するように構成されたものにおいて、帰還回路の帰還量を、HEMT14の出力端子からHEMT14側を見た負性抵抗の絶対値が最大になる点からずらすことにより、負性抵抗を小さくするように構成したものである。この構成により、直流バイアス電圧と発振周波数とが線形性を有するようになる。



【特許請求の範囲】

【請求項 1】 トランジスタ及びこのトランジスタに正帰還を加える帰還回路からなる負性抵抗回路と、共振回路とを備え、前記トランジスタに加える直流バイアス電圧を可変することにより発振周波数を可変制御するように構成された電圧制御発振器において、前記帰還回路の帰還量を、前記トランジスタの出力端子からトランジスタ側を見た負性抵抗の絶対値が最大になる点からずらすことにより、前記負性抵抗を小さくするように構成したことを特徴とする電圧制御発振器。

【請求項 2】 トランジスタ及びこのトランジスタに正帰還を加える帰還回路からなる負性抵抗回路と、共振回路とを備え、前記トランジスタに加える直流バイアス電圧を可変することにより発振周波数を可変制御するように構成された電圧制御発振器において、前記帰還回路の帰還の強さを最大よりも小さく設定することにより、前記直流バイアス電圧と前記発振周波数とが線形性を有するように構成したことを特徴とする電圧制御発振器。

【請求項 3】 トランジスタ及びこのトランジスタに正帰還を加える帰還回路からなる負性抵抗回路と、共振回路とを備え、前記トランジスタに加える直流バイアス電圧を可変することにより発振周波数を可変制御するように構成された電圧制御発振器において、発振出力を最大よりも小さく設定することにより、前記直流バイアス電圧と前記発振周波数とが線形性を有するように構成したことを特徴とする電圧制御発振器。

【請求項 4】 トランジスタ及びこのトランジスタに正帰還を加える帰還回路からなる負性抵抗回路と、共振回路とを備え、前記トランジスタに加える直流バイアス電圧を可変することにより発振周波数を可変制御するように構成された電圧制御発振器において、前記帰還回路を、前記直流バイアス電圧と前記発振周波数とが線形性を有するように構成したことを特徴とする電圧制御発振器。

【請求項 5】 前記帰還回路を、前記トランジスタと接地電極との間に伝送線を設ける直列帰還方式で構成し、そして、前記伝送線の長さを、前記トランジスタの出力端子からトランジスタ側を見た負性抵抗の絶対値が最大になる条件のときの長さよりも、前記伝送線内での波長の数%に相当する長さの分だけ短くした長さ、または、この短くした長さ以下となるように設定したことを特徴とする請求項 1 記載の電圧制御発振器。

【請求項 6】 前記トランジスタを電界効果トランジスタにより構成し、前記帰還回路の伝送線を前記電界効果トランジスタのソース電極と接地電極との間に設け、そして、前記直流バイアス電圧をゲートバイアスとしたことを特徴とする請求項 5 記載の電圧制御発振器。

【請求項 7】 前記発振出力を増幅する増幅回路を備え、

前記増幅回路を、1 個或いは複数個のトランジスタと、これらトランジスタとの整合をとる整合回路とから構成したことを特徴とする請求項 1 ないし 6 のいずれかに記載の電圧制御発振器。

【請求項 8】 トランジスタ及びこのトランジスタに正帰還を加える帰還回路からなる負性抵抗回路と、電圧により容量を可変制御可能なコンデンサを有してなる共振回路とを備え、前記コンデンサに加える電圧を可変することにより発振周波数を可変制御するように構成された電圧制御発振器において、前記帰還回路の帰還量を、前記トランジスタの出力端子からトランジスタ側を見た負性抵抗の絶対値が最大になる点からずらすことにより、前記負性抵抗を小さくするように構成したことを特徴とする電圧制御発振器。

【請求項 9】 トランジスタ及びこのトランジスタに正帰還を加える帰還回路からなる負性抵抗回路と、電圧により容量を可変制御可能なコンデンサを有してなる共振回路とを備え、前記コンデンサに加える電圧を可変することにより発振周波数を可変制御するように構成された電圧制御発振器において、前記帰還回路の帰還の強さを最大よりも小さく設定することにより、前記直流バイアス電圧と前記発振周波数とが線形性を有するように構成したことを特徴とする電圧制御発振器。

【請求項 10】 前記帰還回路を、前記トランジスタの入力端子と出力端子との間に伝送線路及びコンデンサを設ける並列帰還方式で構成し、そして、前記伝送線路の長さ及び前記コンデンサの容量を、前記トランジスタの出力端子からトランジスタ側を見た負性抵抗の絶対値が最大になる条件からずらすことにより、前記負性抵抗を小さくしたことを特徴とする請求項 1 または 8 に記載の電圧制御発振器。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、マイクロ波やミリ波等の電波を利用する場合に使用する電圧制御発振器に関する。

【0002】

【従来の技術】マイクロ波やミリ波等の周波数帯の電波を利用する場合、上記周波数帯の高周波信号を生成する発振器が必要である。一方、高周波信号を周波数変調

(FM) する場合には、発振周波数を可変制御可能な発振器として、例えば加える電圧により発振周波数を可変制御する電圧制御発振器 (VCO) を用いている。ここで、発振器の基本的構成を図 13 に示す。図 13 (a) は帯域通過型の発振器であり、図 13 (b) は帯域阻止型の発振器である。

【0003】上記図 13 (a)、(b) に示すように、

発振器 1 は、信号を増幅する作用を有する負性抵抗回路 2 と、発振周波数を決める共振回路 3 とから構成されている。上記負性抵抗回路 2 には、トランジスタ等の能動素子に正帰還を加えた帰還回路や、素子そのものに負性抵抗を有する素子（例えばガンダイオード）が用いられている。また、共振回路 3 は、空洞共振器や、誘電体共振器や、平面共振器等から構成されている。更に、帯域通過型の発振器 1（図 13（a））は、共振回路 3 側から信号を取り出す発振器であり、帯域阻止型の発振器 1（図 13（b））は、負性抵抗回路 2 側から信号を取り出す発振器である。

【0004】上記構成の発振器の場合、発振の初期においては、負性抵抗回路と共振回路との間を信号が行き来し、負性抵抗回路で強められると共に、共振回路で周波数が選択されることにより、設定周波数で定常発振する状態になる。そして、定常発振時の出力電力は、負性抵抗回路の増幅能力、即ち、負性抵抗の強さに依存する。この負性抵抗の強さは、一般的には、負性抵抗回路の帰還回路のトランジスタの出力端子に近い側からトランジスタ側を見たインピーダンスの抵抗成分で評価する。また、発振器においては、通常、出力電力が高いほど有利であるため、負性抵抗が最大になるように帰還回路を設計している。

【0005】さて、上記構成の発振器において、発振周波数を可変制御するには、負性抵抗回路または共振回路のいずれかの周波数特性を変化させるように構成すれば良い。ここで、電圧制御発振器の一例（帯域阻止型電圧制御発振器）を図 14 に示す。この図 14 に示す電圧制御発振器 1 においては、共振回路 3 内に可変容量ダイオード（以下バクタと称する）4 を設け、周波数制御用電圧端子 5 に加える電圧によりバクタ 4 の容量を変動させることにより、共振回路 2 の共振周波数を変動させ、もって、電圧制御発振器 1 の発振周波数を可変させるように構成している。

【0006】上記バクタ 4 を用いた電圧制御発振器 1 においては、制御したい周波数範囲に応じて適切なバクタ 4 を選択することにより、周波数範囲を比較的自由に設定することができる。しかし、電圧制御発振器 1 全体を 1 つの集積回路で構成して回路を小形化しようとした場合、即ち、モノリシックマイクロ波集積回路（以下 MMIC と称する）で構成しようとした場合、バクタ 4 とトランジスタ（或いはガンダイオード）とは異なる半導体膜構造を用いた素子であるので、電圧制御発振器 1 全体を MMIC 化することは非常に困難であった。

【0007】これに対して、バクタを使用しない電圧制御発振器を MMIC 化した構成が特開昭 62-207006 号公報に開示されている。この MMIC 化した電圧制御発振器を図 15 に示す。この図 15 の構成は、帯域通過型の電圧制御発振器 1 であり、共振回路 2 内にトランジスタ例えば電界効果トランジスタ（以下 FET と

称する）6 を設け、周波数制御用電圧端子 5 から上記 FET 6 に加えるゲートバイアス電圧により FET 6 のゲートソース間容量を変動させることにより、共振回路 3 の共振周波数を変動させ、もって、電圧制御発振器 1 の発振周波数を可変させるように構成している。

【0008】上記構成の場合、負性抵抗回路 2 及び共振回路 3 の両方に、同じ半導体膜構造を用いたトランジスタ（FET）を用いているから、1 つの半導体基板上に電圧制御発振器 1 の全体を集積することが可能となり、MMIC 化することが容易となる。

【0009】

【発明が解決しようとする課題】さて、電圧制御発振器を周波数変調回路に用いる場合、電圧制御発振器に印加する制御電圧と発振周波数との間に線形性（比例関係）が保持されていることが望ましい。一方、電圧制御発振器を用いて周波数変調を行う場合、従来は、周波数変調幅（振り幅）は数 MHz 程度であった。そして、この程度の周波数変調を行う限りは、上記した従来構成の電圧制御発振器（バクタ 4 を用いた発振器や MMIC 化した発振器）で実際の使用上問題がなかった。

【0010】これに対して、本発明者は、電圧制御発振器の発振周波数の中心周波数を、30 GHz または 60 GHz 程度に設定すると共に、振り幅を数十 MHz 以上に設定することを考えた。これと共に、本発明者は、上記周波数帯で発振させる電圧制御発振器を MMIC 化することを考えた。そして、これらの要求を実現するために、本発明者は図 1 に示す電気回路構成の電圧制御発振器 11 を試作してみた。以下、この電圧制御発振器 11 について詳細に説明する。（尚、図 1 は本発明の第 1 の実施例を示すための電気回路図であるが、上記試作した電圧制御発振器 11 の電気回路図は図 1 と回路図的に同じであることから、図 1 を用いて説明する。また、この試作した電圧制御発振器 11 は、本発明の出願時においては公知ではない。）

上記電圧制御発振器 11 は、図 1 に示すように、負性抵抗回路 12 と共振回路 13 とから構成されている。上記負性抵抗回路 12 は、トランジスタとして例えば高電子移動度トランジスタ（以下 HEMT と称する）14 と、この HEMT 14 のソースに直列帰還を加える伝送線路 15 と、整合回路 16 と、直流素子用コンデンサ 17 とから構成されている。この場合、伝送線路 15 の一端は HEMT 14 のソースに接続され、他端は接地されている。また、整合回路 16 は、伝送線路 18、スタブ 19 及び高周波接地用コンデンサ 20 を直列に接続して構成されている。

【0011】上記伝送線路 18 の一端（スタブ 19 に接続された端子と反対側の端子）は、HEMT 14 のドレインに接続されている。上記スタブ 19 と高周波接地用コンデンサ 20 との接続点が、ドレインバイアスを供給する電圧端子 21 となっている。また、高周波接地用コ

ンデンサ20の他端は接地されている。更に、伝送線路18とスタブ19との接続点に上記直流素子用コンデンサ17の一端が接続され、この直流素子用コンデンサ17の他端が出力端子22となっている。

【0012】一方、共振回路13は、伝送線路23及びコンデンサ24を直列接続してなる平面共振器から構成されている。上記伝送線路23の一端（コンデンサ24に接続された端子と反対側の端子）は、HEMT14のゲートに接続されている。伝送線路23とコンデンサ24との接続点が、ゲートバイアスを供給する電圧端子25となっている。このゲートバイアスは、電圧制御発振器11の発振周波数を制御する制御電圧（即ち、直流バイアス電圧）でもある。また、コンデンサ24の他端は接地されている。

【0013】そして、上記した電圧制御発振器11を構成する各回路要素（即ち、HEMT14、伝送線路15、18、23、スタブ19、コンデンサ17、20、24）は、例えばInP基板上に集積して形成されており、もって、電圧制御発振器11がMMICとして作製されている。この作製（試作）した電圧制御発振器11は、例えば30GHz帯の高周波信号を発振出力するMMICである。

【0014】また、上記InP基板上に形成されたHEMT14は、InAlAs/歪InGaAsヘテロ構造を用いたHEMTであり、そのゲート長は0.5μmであり、単位ゲート幅は13μmであり、フィンガー数は4本である。また、上記MMICを作製するに際して、伝送線路及びスタブとしては図2に示す構成のコプレーナ線路26を用いた。このコプレーナ線路26は、InP基板27上に配設された信号線28と、この信号線28の両側に配設された接地電極29、29とから構成されている。ここで、信号線28及び接地電極29は例えば金で形成した。そして、信号線28の幅寸法Wsを50μmとし、信号線28と接地電極29との間隔Wgを43μmとした。この場合、上記コプレーナ線路26内における30GHzの高周波信号の波長は、計算によると約3900μmとなった。

【0015】更に、本発明者は、上記電圧制御発振器11（MMIC）の試作品を作製するに際して、負性抵抗回路12の負性抵抗の強さ（即ち、帰還の強さ）が最大になるように帰還回路を設計した。このように設計した理由は、電圧制御発振器11から発振出力される高周波信号の出力電力を最大にすると共に、出力を安定させるためである。

【0016】ここで、上記負性抵抗の強さは、HEMT14、コンデンサ20、伝送線路15の各Sパラメータを測定した結果に基づいて計算することにより求めた。具体的には、図1に示す伝送線路15の長さLbを変化させて、HEMT14の出力端子であるドレイン電極からHEMT14側を見たインピーダンスZaを計算する

ことにより、負性抵抗成分の絶対値（|Re(Za)|、但し、Re(Za)<0）を求めた。

【0017】この計算の結果、Lb=1121μmに設定したとき、負性抵抗が最も強く、即ち、負性抵抗の絶対値が最も大きくなることがわかった。この場合の負性抵抗の値は、Re(Za)=-104Ωであった。そこで、本発明者は、負性抵抗回路12の伝送線路15の長さLbを1121μmに設定し、また、共振回路13の伝送線路23の長さ、整合回路16の伝送線路18及びスタブ19の各長さ、30GHz帯の高周波信号が発振されるような長さに設定し、電圧制御発振器11（MMIC）の試作品を作製した。

【0018】そして、本発明者は、上記作製した電圧制御発振器11の電圧（ゲートバイアス）-発振周波数特性を測定した。この場合、電圧端子21に印加するドレインバイアスを2.5Vに設定した。そして、電圧端子25に印加するゲートバイアスを0.20Vから-0.30Vまで細かく変化させながら、発振周波数及び出力電力を測定した。このとき、ゲートバイアスが0.00Vから-0.20Vまでの電圧範囲については、例えば0.01Vきざみでゲートバイアスを特に細かく変化させて測定し、残りの電圧範囲については、例えば0.05Vきざみでゲートバイアスを変化させて測定した。

【0019】上記測定結果をグラフにしたものが図3である。この図3において、「菱形（四角）の点」は周波数特性を示し、「丸形の点」は出力電力特性を示している。上記図3から、本発明者は、上記試作した電圧制御発振器11には、ゲートバイアスの変化に対して発振周波数が階段状（ステップ状）に変化する特性があることを発見した。尚、出力電力は1~2dBm程度あることがわかり、出力は十分大きいこと（即ち、最大であること）がわかる。

【0020】しかし、このように発振周波数が階段状に変化する特性であるということは、制御電圧（ゲートバイアス）に対する発振周波数の変化の線形性が保持されていないことを示している。従って、上記試作した電圧制御発振器11を周波数変調回路に使用することができない。

【0021】そこで、本発明者は、上述したように作製することにより、MMIC化を実現した電圧制御発振器11において、直流バイアス電圧（ゲートバイアス）と発振周波数とが線形性を有するように構成できないかと考えた。ここで、本発明者は、電圧制御発振器11の負性抵抗回路12における帰還回路の帰還の強さに着目した。そして、帰還回路の帰還の強さが最大であると、発振の安定性が最も高くなること（Q値が最も大きくなること）から、発振周波数が変化し難くなる、換言すると、発振周波数を可変制御し難くなるのではないかと、本発明者は考えた。更に、この考えを進展させて、発振周波数が変化し易いように上記発振の安定性を低下させ

7

たら、もしかしたら、制御電圧（ゲートバイアス）と発振周波数とが線形性を有するようになるかもしれないという仮説を、本発明者は立てた。

【0022】上記仮説を確かめるために、本発明者は、帰還回路の帰還の強さを最大よりも小さくした電圧制御発振器11（MMIC）を作製する実験を行った。そして、この作製した電圧制御発振器11の電圧（ゲートバイアス）－発振周波数特性を測定してみたところ、ゲートバイアスに対する発振周波数の変化の線形性が十分に保持されていることを実際に確認した。この線形性が十分に保持された電圧制御発振器11（MMIC）の具体的な構成並びに測定結果については、発明の実施の形態の欄で詳細に説明する。

【0023】本発明の目的は、MMIC化することが容易に可能な回路構成であると共に、直流バイアス電圧と発振周波数とが線形性を有するように構成した電圧制御発振器を提供するにある。

【0024】

【課題を解決するための手段】請求項1の発明においては、帰還回路の帰還量を、トランジスタの出力端子からトランジスタ側を見た負性抵抗の絶対値が最大になる点からずらすことにより、上記負性抵抗を小さくするように構成した。これにより、直流バイアス電圧に対する発振周波数の変化の線形性を十分に保持することができた。そして、この請求項1の電圧制御発振器は、MMIC化することが容易に可能な回路構成でもある。

【0025】請求項2または3の発明においては、帰還回路の帰還の強さを最大よりも小さく設定することにより、また、発振出力を最大よりも小さく設定することにより、直流バイアス電圧と発振周波数とが線形性を有するように構成したから、上記請求項1の発明と同じ作用効果を得ることがきる。また、請求項4の発明のように、帰還回路を、直流バイアス電圧と発振周波数とが線形性を有するように構成しても、請求項1の発明と同じ作用効果を得ることができる。

【0026】更に、請求項5の発明においては、帰還回路を、トランジスタと接地電極との間に伝送線を設ける直列帰還方式で構成し、そして、伝送線の長さを、トランジスタの出力端子からトランジスタ側を見た負性抵抗の絶対値が最大になる条件のときの長さよりも、伝送線内の波長の数％に相当する長さの分だけ短くした長さを、または、この短くした長さ以下となるように設定する構成とした。この場合、帰還回路を直列帰還方式としたので、伝送線の長さを調整するだけで帰還の強さを簡単に調整することができるから、MMICを作製する際の設計作業性を向上させることができる。

【0027】また、請求項6の発明によれば、トランジスタを電界効果トランジスタにより構成し、帰還回路の伝送線を電界効果トランジスタのソース電極と接地電極との間に設け、そして、直流バイアス電圧をゲートバ

8

イアスとするように構成したので、上記した優れた効果を有する電圧制御発振器を簡単な構成にて容易に実現することができる。

【0028】更に、請求項7の発明によれば、発振出力を増幅する増幅回路を備え、この増幅回路を、1個或いは複数個のトランジスタと、これらトランジスタとの整合をとる整合回路とから構成したので、電圧制御発振器から出力される発振出力の出力電力が小さくなったとしても、該発振出力を必要なレベルまで増幅することができる。また、この増幅回路で使用するトランジスタを電圧制御発振器の負性抵抗回路で使用するトランジスタと同じ種類のトランジスタとすることが可能であるから、上記増幅回路と電圧制御発振器とを1つのMMICチップとして構成することができる。

【0029】一方、請求項8ないし10の発明においても、直流バイアス電圧と発振周波数とが線形性を有するように構成することができるから、請求項1の発明とほぼ同じ作用効果を得ることができる。

【0030】

【発明の実施の形態】以下、本発明の第1の実施例について図1ないし図5を参照しながら説明する。上記第1の実施例の電圧制御発振器の回路構成は、「発明が解決しようとする課題」の欄で説明した本発明者が試作した電圧制御発振器11の回路構成と基本的に同じであり、異なる点は負性抵抗回路12の負性抵抗の強さ（即ち、負性抵抗成分の絶対値）を最大よりも小さく構成するようにした点である。以下、図1に従って第1の実施例の電圧制御発振器11について具体的に説明する。

【0031】まず、電圧制御発振器11の回路構成について簡単に説明する。即ち、電圧制御発振器11は負性抵抗回路12と共振回路13とから構成され、負性抵抗回路12は、HEMT14と伝送線路15と整合回路16と直流素子用コンデンサ17とから構成されている。整合回路16は、伝送線路18とスタブ19と高周波接地用コンデンサ20とから構成されている。上記スタブ19と高周波接地用コンデンサ20との接続点が、ドレインバイアスを供給する電圧端子21となっている。そして、伝送線路18とスタブ19との接続点に直流素子用コンデンサ17の一端が接続され、この直流素子用コンデンサ17の他端が出力端子22となっている。

【0032】また、共振回路13は、伝送線路23及びコンデンサ24を有する平面共振器から構成されている。伝送線路23の一端が負性抵抗回路12のHEMT14のゲートに接続されている。伝送線路23とコンデンサ24との接続点が、ゲートバイアスを供給する電圧端子25となっている。このゲートバイアスは、電圧制御発振器11の発振周波数を制御する制御電圧、即ち、直流バイアス電圧でもある。

【0033】さて、上記した電圧制御発振器11の回路構成において、負性抵抗回路12の負性抵抗の強さを最

大よりも小さくした。具体的には、伝送線路15の長さ L_b を $1048\mu m$ に設定した。この長さ $L_b=1048\mu m$ は、試作した電圧制御発振器の伝送線路の長さ $L_b=1121\mu m$ （負性抵抗の強さが最大の条件）よりも約 $70\mu m$ 短い長さである。この短縮した長さ（約 $70\mu m$ ）は、伝送線路15内の波長の約2%に相当する長さである。尚、伝送線路15内の波長は、計算により求めることができる。本実施例の場合、伝送線路15を図2に示すコプレーナ線路26から構成していることから、コプレーナ線路26の信号線28の幅寸法 W_s と、信号線28と接地電極29との間隔 W_g と、InP基板27の誘電率とから周知の計算方法で計算した。この計算によると、上記伝送線路15内の波長は約 $3900\mu m$ となった。

【0034】そして、上述したように負性抵抗回路12の伝送線路15の長さ L_b を $1048\mu m$ に設定した場合、負性抵抗の値は、 $Re(Z_a)=-96\Omega$ となった。これにより、負性抵抗回路12の負性抵抗の強さが最大（ $Re(Z_a)=-104\Omega$ ）よりもずれて小さくなったことがわかる。換言すると、負性抵抗回路12の帰還回路の帰還の強さを最大よりも小さく設定したことがわかる。

【0035】尚、負性抵抗回路12の伝送線路15の長さ L_b を変更すると、共振回路13や整合回路16の条件も変化するため、共振回路13の伝送線路23の長さ、整合回路16の伝送線路18及びスタブ19の各長さを、 $30GHz$ 帯の高周波信号が発振されるように調整した。また、このような構成の電圧制御発振器11

（HEMT14、伝送線路15、18、23、スタブ19、コンデンサ17、20、24）は、InP基板上に集積して形成されており、もって、MMICを構成している。このMMICの実際の回路パターンを図5に示す。この図5における各符号及び引き出し線が示す各構成は、図1において各符号及び引き出し線が示す各構成と同じ構成である。尚、図5において、斜線で示す領域は、コンデンサを示している。

【0036】さて、上述したように構成した電圧制御発

振器11の制御電圧（ゲートバイアス）-発振周波数特性を測定した。この場合、電圧端子21に印加するドレインバイアスを $2.5V$ に設定した。そして、電圧端子25に印加するゲートバイアスを $0.20V$ から $-0.30V$ まで細かく変化させながら、発振周波数及び出力電力を測定した。具体的には、ゲートバイアスを $0.01V$ きざみで細かく変化させて測定した。

【0037】上記測定結果をグラフにしたものが図4である。この図4において、「菱形（四角）の点」は周波数特性を示し、「丸形の点」は出力電力特性を示している。上記図4から、第1の実施例の電圧制御発振器11においては、ゲートバイアスの変化に対して発振周波数が線形に変化すること、即ち、ゲートバイアス（直流バイアス電圧）と発振周波数とが極めて良い線形性を有することが明確に確認できた。尚、上記第1の実施例においては、負性抵抗回路12の負性抵抗を弱くしたので、これに伴って、出力電力が $-7dB\sim-5dB$ 程度の範囲となったこと、即ち、出力電力が小さくなったことがわかる。

【0038】また、上記実施例では、負性抵抗回路12の伝送線路15の長さ L_b を伝送線路15内の波長の約2%に相当する長さだけ短くして $1048\mu m$ に設定するように構成したが、これに限られるものではなく、負性抵抗回路12の伝送線路15の長さ L_b を上記 $1048\mu m$ よりも更に短く設定しても良い。具体的には、本発明者は、伝送線路15の長さ L_b を伝送線路15内の波長の約6%に相当する長さだけ短くして $891\mu m$ に設定した電圧制御発振器（MMIC）11を作製した。そして、この作製した電圧制御発振器11においても、ゲートバイアス（直流バイアス電圧）と発振周波数とが極めて良い線形性を有することが測定により確認された。

【0039】上記2つの作製品及び試作品の各電圧制御発振器の実験結果をまとめたものが下記の表1である。

【0040】

【表1】

	L_b	短縮長さの波長に対する割合	$Re(Z_a)$	発振出力	線形性	備考
a	$1121\mu m$	—	-104Ω	$1dBm$	×	帰還最大
b	$1048\mu m$	-2%	-96Ω	$-5dBm$	○	
c	$891\mu m$	-6%	-68Ω	$-14.5dBm$	○	

【0041】この表から明らかなように、伝送線路15の長さ L_b を短く構成して帰還回路の帰還量を小さくすれば、即ち、帰還回路の負性抵抗の絶対値を小さくす

ば、ゲートバイアス（直流バイアス電圧）と発振周波数とが線形性を有することがわかる。尚、上記表によれば、伝送線路15の長さ L_b を短くしていくと、線形性

を失うことはないが、出力電力（発振出力）がどんどん小さくなっていくことがわかる。

【0042】また、上記表によれば、線形性を有する場合の伝送線路 15 の長さ L_b の最大値は、負性抵抗の強さが最大の条件の場合の伝送線路の長さ ($L_b = 1121 \mu m$) よりも伝送線路 15 内の波長の約 2% に相当する長さだけ短くした場合であり、この場合が出力電力が最も大きくなるので、発振器として最も使用し易い。但し、本発明者は、伝送線路 15 の長さ L_b を、負性抵抗の強さが最大の条件よりも伝送線路 15 内の波長の約 1% または約 1.5% 等に相当する長さだけ短くした電圧制御発振器 11 を作製することはなかったが、このような各長さの伝送線路 15 を有する電圧制御発振器 11 を作製して、それぞれについて線形性を有するか否かを確かめることが好ましい。換言すると、今現在、理論的裏付けがないので、種々の条件の電圧制御発振器 11 を実際に作製して該作製したものに線形性があるか否かを実験により確認することによってしか、線形性を有するものと有しないものとの境界条件を見極める方法がないのである。

【0043】この場合、線形性を有することがわかった場合には、出力電力が大きければ大きいほど発振器として好ましいため、線形性を有する電圧制御発振器 (MMIC) のうちで、伝送線路 15 の長さ L_b が最も長くなったもの、即ち、帰還回路の帰還の強さが最も大きくなったものを使用することが良い。

【0044】また、上記実施例では、電圧制御発振器 11 の発振周波数の中心値を 30 GHz に設定したが、これに限られるものではなく、発振周波数の中心値を 30 GHz 以上 (例えば 60 GHz) に設定しても良いし、30 GHz 以下に設定しても良い。

【0045】更に、上記実施例では、InP 基板を使用した。これに代えて、GaAs 基板を使用しても良い。また、上記実施例では、伝送線路をコプレーナ線路により構成したが、マイクロストリップ線路により構成しても良い。更にまた、上記実施例では、負性抵抗回路 12 のトランジスタを HEMT 14 により構成したが、これに限られるものではなく、他の FET (電界効果トランジスタ) により構成しても良いし、また、バイポーラトランジスタ (例えばヘテロバイポーラトランジスタ) により構成しても良い。

【0046】一方、上記実施例では、負性抵抗回路 12 の伝送線路 15 の長さを短くすることにより、帰還回路の帰還の強さを最大からずらして小さくするように構成したが、これに限られるものではなく、上記伝送線路 15 の長さは負性抵抗の強さが最大の条件の場合のままとし、他の伝送線路やスタブの各長さやコンデンサの容量等を調節して発振出力を小さくすることにより、線形性を有するように構成しても良い。また、上記実施例では、共振回路 13 を平面共振器により構成したが、これ

に代えて、誘電体共振器やダイオード共振器や空洞共振器等により構成しても良い。

【0047】図 6 ないし図 8 は本発明の第 2 の実施例を示すものであり、第 1 の実施例と異なる点を説明する。尚、第 1 の実施例と同一部分には、同一符号を付している。上記第 2 の実施例では、第 1 の実施例の電圧制御発振器 11 の発振出力を増幅する増幅回路 30 を設け、この増幅回路 30 と上記電圧制御発振器 11 とを 1 つの MMIC として構成している。

【0048】上記増幅回路 30 は、図 6 に示すように、入力整合回路 31 と HEMT 32 と出力整合回路 33 とコンデンサ 34 とから構成されている。上記入力整合回路 31 は、伝送線路 35、スタブ 36 及びコンデンサ 37 を直列接続して構成されている。この場合、伝送線路 35 とスタブ 36 の接続点を電圧制御発振器 11 の出力端子 (直流阻止用コンデンサ 17 の他端) に接続している。また、伝送線路 35 の一端 (スタブ 36 に接続する端子と反対側の端子) を HEMT 32 のゲートに接続している。そして、コンデンサ 37 の一端 (スタブ 36 に接続する端子と反対側の端子) を接地している。更に、上記スタブ 36 とコンデンサ 37 の接続点を、HEMT 32 のゲートバイアスを供給する電圧端子 38 としている。

【0049】また、出力整合回路 33 は、伝送線路 39、スタブ 40 及びコンデンサ 41 を直列接続して構成されている。この場合、伝送線路 39 とスタブ 40 の接続点をコンデンサ 34 の一端に接続している。また、伝送線路 39 の一端 (スタブ 40 に接続する端子と反対側の端子) を HEMT 32 のドレインに接続している。そして、コンデンサ 41 の一端 (スタブ 40 に接続する端子と反対側の端子) を接地している。更に、上記スタブ 40 とコンデンサ 41 の接続点を、HEMT 32 のドレインバイアスを供給する電圧端子 42 としている。

【0050】そして、HEMT 32 のソースを接地している。この HEMT 32 は、負性抵抗回路 12 の HEMT 14 と同一の半導体膜構造で構成されている。そして、HEMT 32 は、そのゲート長が $0.5 \mu m$ に、単位ゲート幅が $25 \mu m$ に、フィンガー数が 2 本に設定されている。また、コンデンサ 34 の他端 (伝送線路 39 とスタブ 40 の接続点に接続する端子と反対側の端子) を増幅回路 30 の出力端子 43 としている。この出力端子 43 から、増幅された発振出力を取り出す構成となっている。

【0051】更に、入力整合回路 31 及び出力整合回路 33 は、30 GHz 帯での利得が最大になるように構成されており、いわゆる利得整合がとられている。また、増幅回路 30 の伝送線路 35、39 及びスタブ 36、40 は、電圧制御発振器 11 (負性抵抗回路 12 及び共振器 13) の伝送線路及びスタブと同様にしてコプレーナ線路 26 により構成されている。

【0052】そして、このような構成の増幅回路30及び電圧制御発振器11は、InP基板上に集積して形成されており、もって、1つのMMICを構成している。このMMICの実際の回路パターンを図7に示す。この図7における各符号及び引き出し線が示す各構成は、図6において各符号及び引き出し線が示す各構成と同じ構成である。尚、図7において、斜線で示す領域は、コンデンサを示している。

【0053】さて、上述したように構成したMMIC（電圧制御発振器11及び増幅回路30）の制御電圧（ゲートバイアス）-発振周波数特性を測定した。この場合、電圧制御発振器11のHEMT14のドレインバイアス（電圧端子21に印加する電圧）を2.5Vに設定した。また、増幅回路30のHEMT32のゲートバイアス（電圧端子38に印加する電圧）を0Vに設定した。更に、上記HEMT32のドレインバイアス（電圧端子42に印加する電圧）を2.5Vに設定した。そして、電圧端子25に印加するゲートバイアス（直流バイアス電圧）を0.00Vから-0.40V程度まで細かく、具体的には、0.01Vきざみで変化させながら、発振周波数及び出力電力を測定した。

【0054】上記測定結果をグラフにしたものが図8である。この図8において、「菱形（四角）の点」は周波数特性を示し、「丸形の点」は出力電力特性を示している。上記図8から、第2の実施例においても、ゲートバイアスの変化に対して発振周波数が線形に変化すること、即ち、ゲートバイアス（直流バイアス電圧）と発振周波数とが極めて良い線形性を有することが明確に確認された。更に、上記第2の実施例においては、出力電力が1dB〜2dB程度の範囲となったこと、即ち、高い出力電力が得られたことがわかる。

【0055】尚、上記第2の実施例では、電圧制御発振器11と増幅回路30とを1つのMMICとして構成したが、これに限られるものではなく、例えばミキサや周波数通倍器やパワーアンプ等の回路を電圧制御発振器11（または電圧制御発振器11と増幅回路30を一緒にしたもの）と一緒にして1つのMMICとして構成しても良い。

【0056】図9は本発明の第3の実施例を示すものであり、第1の実施例と異なる点を説明する。尚、第1の実施例と同一部分には、同一符号を付している。上記第3の実施例では、第1の実施例の伝送線路15を設けることを止めて、即ち、HEMT14のソースを直接接地するように構成し、そして、HEMT14のゲートとドレインとの間に、伝送線路44及びコンデンサ45を直列に接続するように構成した。これにより、負性抵抗回路12において並列帰還方式で帰還を加えるように構成している。

【0057】上記構成の場合、伝送線路44の長さを変更すると共に、コンデンサ45の容量を変更することに

より、帰還回路の帰還の強さを最大よりも弱くするように調整することができる。即ち、上記伝送線路44の長さ及びコンデンサ45の容量の調整により、ゲートバイアス（直流バイアス電圧）と発振周波数とが線形性を有するように構成することが可能である。尚、この第3の実施例のように並列帰還方式で帰還を加える構成に比べて、第1または第2の実施例のように直列帰還方式で帰還を加える構成の方が、帰還回路の帰還の強さの調整が簡単であり、設計を行い易い。

【0058】図10は本発明の第4の実施例を示すものであり、第1の実施例と異なる点を説明する。尚、第1の実施例と同一部分には、同一符号を付している。上記第4の実施例では、共振回路13の中にHEMT46を設け、このHEMT46のゲートに加えるバイアス電圧によりゲートの容量を変化させて、発振周波数を可変させるように構成している。

【0059】具体的には、HEMT46のドレインとソースを接地し、HEMT46のゲートを、伝送線路47及びコンデンサ48の直列回路を介して接地している。上記伝送線路47とコンデンサ48との接続点を、ゲートバイアス（制御電圧または直流バイアス電圧）を加える電圧端子49としている。そして、HEMT46のゲートを、伝送線路23とコンデンサ24との接続点にコンデンサ50を介して接続している。

【0060】また、負性抵抗回路12のHEMT14のゲートに、バイアス供給回路51を接続している。このバイアス供給回路51は、伝送線路52及びコンデンサ53を直列に接続して構成されている。伝送線路52の一端（コンデンサ53と接続される端子と反対側の端子）は、HEMT14のゲート及び共振回路13の伝送線路23に接続されている。コンデンサ53の一端（伝送線路52と接続される端子と反対側の端子）は接地されている。伝送線路52とコンデンサ53との接続点は、バイアスを供給する電圧端子54となっている。

【0061】尚、上述した以外の第4の実施例の構成は、第1の実施例の構成と同じ構成となっている。従って、上記第4の実施例においても、第1の実施例とほぼ同じ作用効果を得ることができる。

【0062】また、上記第4の実施例の共振回路13においては、HEMT46に代えて、図11に示す構成の可変容量ダイオード（バラクタ）55を用いるように構成しても良い。この第5の実施例の場合も、制御電圧によりバラクタ55の容量を変化させることにより、発振周波数を可変させることができ、上記第4の実施例と同じ作用効果を得ることができる。

【0063】図12は本発明の第6の実施例を示すものであり、第4の実施例と異なる点を説明する。尚、第4の実施例と同一部分には、同一符号を付している。上記第6の実施例では、第4の実施例の負性抵抗回路12に、第3の実施例の負性抵抗回路、即ち、並列帰還方

式の負性抵抗回路を用いるように構成している。これ以外の第 6 の実施例の構成は、第 4 の実施例の構成と同じ構成となっている。従って、上記第 6 の実施例においても、第 4 の実施例と同じ作用効果を得ることができる。

【0064】また、上記第 6 の実施例の共振回路 13 において、HEMT 46 に代えて、図 11 に示す構成の可変容量ダイオード（バラクタ）55 を用いるように構成しても良い。この構成の場合も、制御電圧によりバラクタ 55 の容量を変化させることにより、発振周波数を可変させることができ、上記第 6 の実施例と同じ作用効果を得ることができる。

【0065】尚、上記第 3 ないし第 7 の各実施例においては、発振出力を増幅する増幅回路、例えば第 2 の実施例の増幅回路 30 を 1 つの MMIC として一体に設けるように構成しても良い。また、上記第 3 ないし第 7 の各実施例において、ミキサや周波数通倍器やパワーアンプ等の回路を電圧制御発振器 11（または電圧制御発振器 11 と増幅回路 30 を一緒にしたもの）と一緒にして 1 つの MMIC として構成しても良い。

【図面の簡単な説明】

【図 1】本発明の第 1 の実施例を示す電気回路図

【図 2】コプレーナ線路の部分斜視図

【図 3】試作品の特性図

【図 4】第 1 の実施例の特性図

【図 5】MMIC の回路パターンを拡大して示す図

【図 6】本発明の第 2 の実施例を示す図 1 相当図

【図 7】図 5 相当図

【図 8】図 4 相当図

【図 9】本発明の第 3 の実施例を示す図 1 相当図

【図 10】本発明の第 4 の実施例を示す図 1 相当図

【図 11】本発明の第 5 の実施例を示す部分電気回路図

【図 12】本発明の第 6 の実施例を示す図 1 相当図

【図 13】従来構成を示す発振器のブロック図

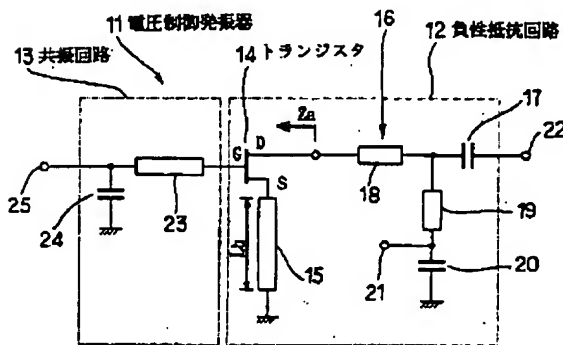
【図 14】異なる従来構成を示す図 1 相当図

【図 15】更に異なる従来構成を示す図 1 相当図

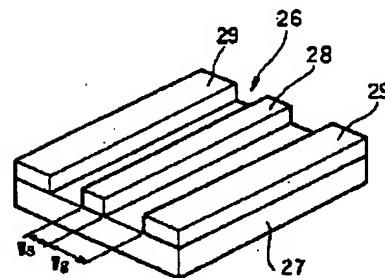
【符号の説明】

11 は電圧制御発振器、12 は負性抵抗回路、13 は共振回路、14 は高電子移動度トランジスタ（HEMT）、15 は伝送線路、16 は整合回路、21 は電圧端子、22 は出力端子、23 は伝送線路、24 はコンデンサ、25 は電圧端子、26 はコプレーナ線路、30 は増幅回路、32 は高電子移動度トランジスタ（HEMT）、44 は伝送線路、45 はコンデンサ、46 は高電子移動度トランジスタ（HEMT）、55 は可変容量ダイオードを示す。

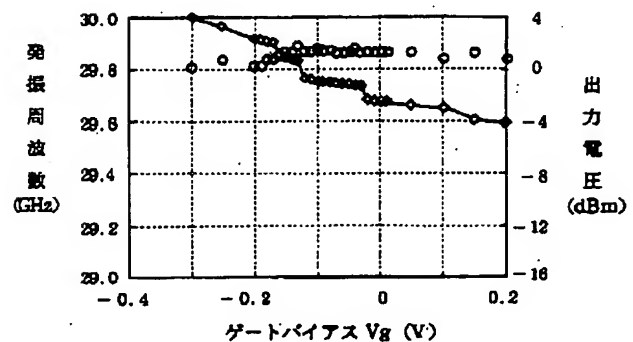
【図 1】



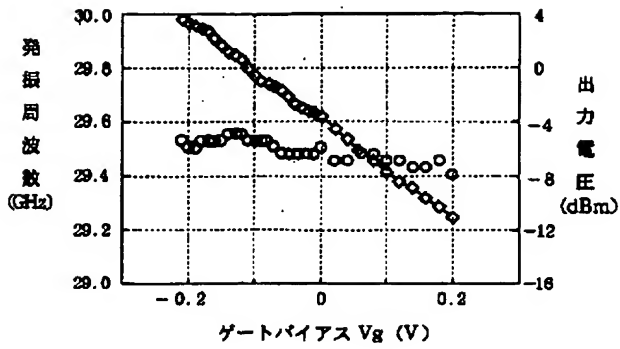
【図 2】



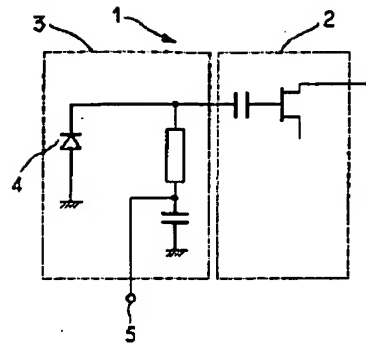
【図 3】



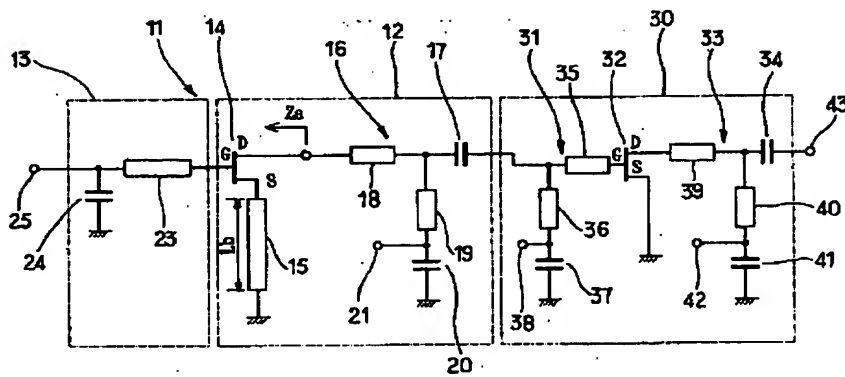
【図4】



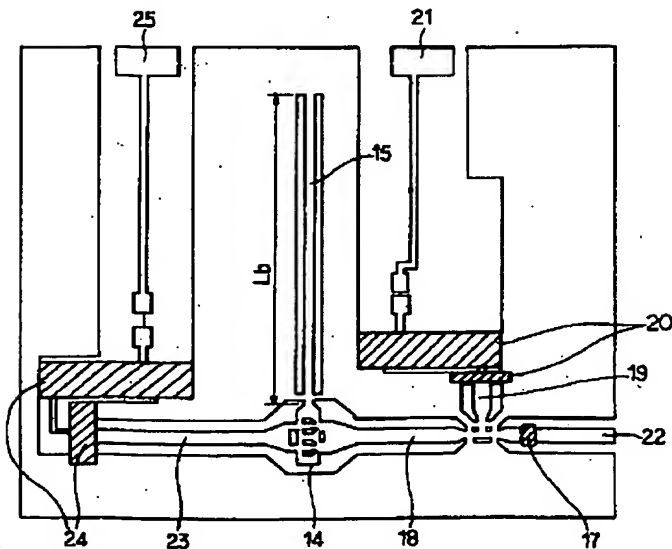
【図14】



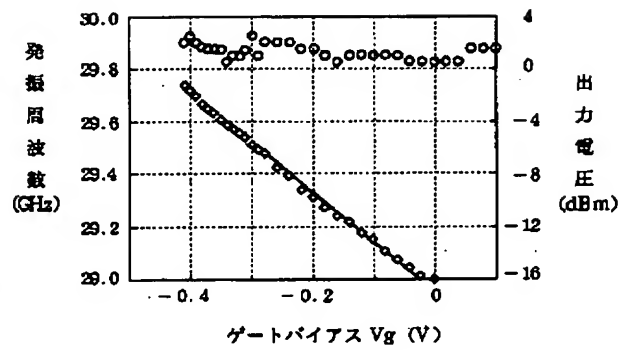
【図5】



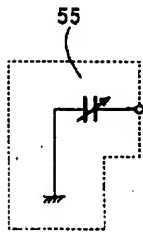
【図6】



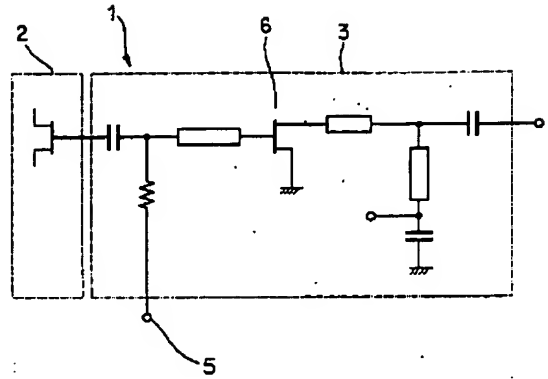
【図8】



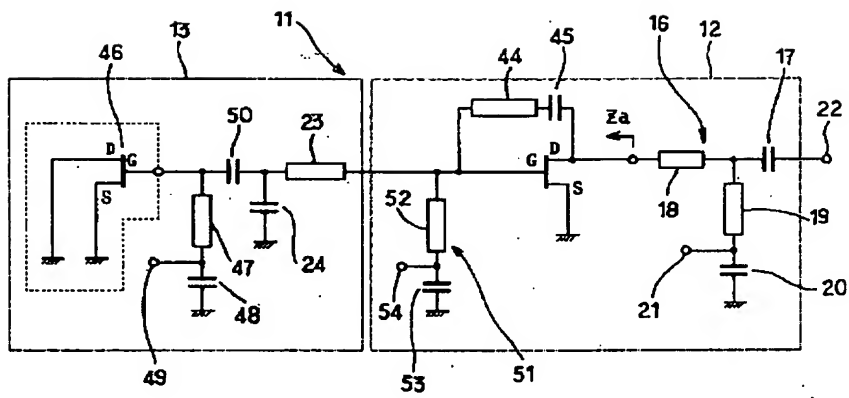
【図 11】



【図 15】



【図 12】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☐ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.